

Derwent WPI
(c) 2007 The Thomson Corporation. All rights reserved.

0008931708
WPI Acc no: 1998-483186/199842
XRPX Acc No: N1998-376952

Arbiter system for signal transfer in synchronous digital logic circuit systems - requires request signal transfer time to provide select signal value corresponding to each of number of request signal values

Patent Assignee: SUN MICROSYSTEMS INC (SUNM)
Inventor: CHIANG T; CHIANG T C; WEBBER T P

Patent Family (3 patents, 26 countries)

| Patent Number | Kind | Date | Application Number | Kind | Date | Update | Type |
|---------------|------|----------|--------------------|------|----------|--------|------|
| EP 866404 | A2 | 19980923 | EP 1998301832 | A | 19980312 | 199842 | B |
| US 5815023 | A | 19980929 | US 1997821266 | A | 19970320 | 199846 | E |
| JP 10275075 | A | 19981013 | JP 199871905 | A | 19980320 | 199851 | E |

Priority Applications (no., kind, date): US 1997821266 A 19970320

Patent Details

| Patent Number | Kind | Lan | Pgs | Draw | Filing Notes |
|-------------------------------------|--|-----|-----|------|--------------|
| EP 866404 | A2 | EN | 14 | 5 | |
| Regional Designated States,Original | AL AT BE CH DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT RO SE SI | | | | |
| JP 10275075 | A | JA | 11 | | |

Alerting Abstract EP A2

The system includes an unbalanced multiplexer that has a number of multiplexer inputs, a select input, and a number multiplexer signal paths. Each of the latter extends from an associated one of the multiplexer inputs to an output of the multiplexer. Time characteristics of each of the multiplexer signal paths are unequal. An arbiter is coupled to receive a number of request signal values, which prompt the arbiter to control the multiplexer, via a select signal, to select one of the multiplexer inputs.

The arbiter requires a request signal transfer time to provide a select signal value corresponding to each of the number of request signal values.

ADVANTAGE - Minimises overall signal transfer time of slowest request signal path of arbiter system even at cost of increasing signal transfer times of faster request signal paths.

Title Terms /Index Terms/Additional Words: ARBITER; SYSTEM; SIGNAL; TRANSFER;
SYNCHRONOUS; DIGITAL; LOGIC; CIRCUIT; REQUIRE; REQUEST; TIME; SELECT;
VALUE ; CORRESPOND; NUMBER

Class Codes

International Patent Classification

| IPC | Class Level | Scope | Position | Status | Version Date |
|--|-------------|-------|-----------|--------|--------------|
| G06F-013/364; G06F-007/00; H03K-017/62 | | | Main | | "Version 7" |
| G06F-013/362; H04L-012/40 | | | Secondary | | "Version 7" |

US Classification, Issued: 327407000, 327408000

File Segment: EPI;

DWPI Class: T01; W01

Manual Codes (EPI/S-X): T01-H05B3; W01-A06B1; W01-A08A; W01-B07

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-275075

(43)公開日 平成10年(1998)10月13日

(51)Int.Cl.⁸
G 0 6 F 7/00
// G 0 6 F 13/362

識別記号
5 1 0

F I
G 0 6 F 7/00
13/362
S
5 1 0 Z

審査請求 未請求 請求項の数19 O L (全 11 頁)

(21)出願番号 特願平10-71905

(22)出願日 平成10年(1998)3月20日

(31)優先権主張番号 8 2 1 2 6 6

(32)優先日 1997年3月20日

(33)優先権主張国 米国 (U.S.)

(71)出願人 597004720
サン・マイクロシステムズ・インコーポレーテッド
Sun Microsystems, Inc.
アメリカ合衆国カリフォルニア州94303,
パロ・アルト, サン・アントニオ・ロード
901, エムエス・ピーエイエル01-521
(72)発明者 トマス・ピー・ウェバー
アメリカ合衆国マサチューセッツ州01366
-9755, ピーターシャム, サウス・メイン
ストリート 21
(74)代理人 弁理士 杜本 一夫 (外5名)

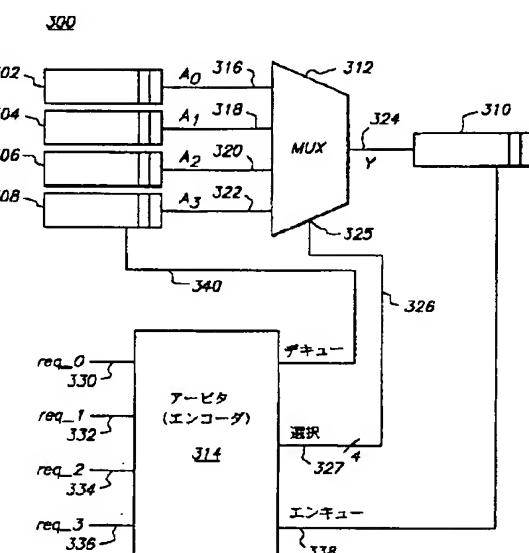
最終頁に続く

(54)【発明の名称】 不平衡マルチブレクサとアービタの組合せ

(57)【要約】

【課題】 アービタ・システムにおける最低速要求信号バスの全信号転送時間を最小化すること。

【解決手段】 マルチブレクサ312は、各々が4個の入力316～322から出力324に伸長されている4つのマルチブレクサ信号バスを有し、4つのマルチブレクサ信号バスの各時間特性は等しくない。マルチブレクサ信号バス及び4つの要求信号値に対応する選択信号値を提供するためにアービタ314によって要求される要求信号転送時間の時間特性は、アービタ上で要求信号値を処理し、且つ対応する入力316～322から出力324にソース信号を送信するために必要とされるアービタ・システム転送時間がマルチブレクサに対する各入力についてほぼ等しくなるように整合される。



【特許請求の範囲】

【請求項1】 複数のマルチブレクサ入力と、選択入力と、複数のマルチブレクサ信号バスであって各々が前記複数のマルチブレクサ入力の関連する1つから前記マルチブレクサの出力に伸長されており且つ前記マルチブレクサ信号バスの各々の時間特性が等しくない当該複数のマルチブレクサ信号バスとを含む不平衡マルチブレクサと、

前記複数のマルチブレクサ入力の1つを選択するために選択信号を介して前記マルチブレクサを制御するよう促す複数の要求信号値を受け取るために結合されたアービタであって、前記複数の要求信号値のそれぞれに対応する選択信号値を供給するために要求信号転送時間を必要とするアービタとを備えるアービタ・システム。

【請求項2】 前記マルチブレクサ信号バスの前記時間特性と前記要求信号転送時間とは、前記アービタを通じて前記複数の要求信号値の1つを処理し且つ選択されたソース信号をその対応するマルチブレクサ信号入力から前記マルチブレクサ出力に通すのに必要とされるシステム転送時間が前記マルチブレクサ入力の各々についてほぼ等しくなるように整合される請求項1記載のアービタ・システム。

【請求項3】 前記マルチブレクサ入力の各々に対応する前記システム転送時間は、前記アービタ・システムの速度が最大化されるように最小化される請求項2記載のアービタ・システム。

【請求項4】 前記複数の要求信号値の各々に対応する前記要求信号転送時間は、前記要求信号値の優先順位が低下するにつれて増加する請求項1乃至請求項3のいずれか一項に記載のアービタ・システム。

【請求項5】 4つのマルチブレクサ入力が設けられ、前記アービタは優先順位エンコーダであり、

前記アービタからの4つの選択信号値 `select_0`、`select_1`、`select_2`、`select_3` と前記アービタの4つの要求信号値 `req_0`、`req_1`、`req_2`、`req_3`との関係は、

【数1】 $select_0 = req_0$
 $select_1 = !req_0 \& req_1$
 $select_2 = !req_0 \& !req_1 \& req_2$
 $select_3 = !req_0 \& !req_1 \& !req_2 \& req_3$

によって定義される請求項1乃至請求項4のいずれかの一項に記載のアービタ・システム。

【請求項6】 第1ソース信号を受け取るために結合されている第1入力と、前記 `select_0` 信号を受け取るために結合されている第2入力とを有する第1ANDゲートと、

第2ソース信号を受け取るために結合されている第1入力と、前記 `select_1` 信号を受け取るために結合

されている第2入力とを有する第2ANDゲートと、第3ソース信号を受け取るために結合されている第1入力と、前記 `select_2` 信号を受け取るために結合されている第2入力とを有する第3ANDゲートと、第4ソース信号を受け取るために結合されている第1入力と、前記 `select_3` 信号を受け取るために結合されている第2入力とを有する第4ANDゲートと、前記第1ANDゲートからの出力信号を受け取るために結合されている第1入力と、前記第2ANDゲートからの出力信号を受け取るために結合されている第2入力を有する第1ORゲートと、前記第1ORゲートからの出力信号を受け取るために結合されている第1入力と、前記第3ANDゲートからの出力信号を受け取るために結合されている第2入力を有する第2ORゲートと、前記第2ORゲートからの出力信号を受け取るために結合されている第1入力と、前記第4ANDゲートからの出力信号を受け取るために結合された第2入力を有し且つ前記マルチブレクサの前記出力を供給する第3ORゲートとを備える請求項5記載のアービタ・システム。

【請求項7】 各々のソース・キューが前記マルチブレクサ入力の関連の1つに結合され、ソース信号をその関連するマルチブレクサ入力に供給する、複数のソース・キューと、

前記マルチブレクサの出力からの出力信号を受け取るために結合されている宛先キューとを更に備える請求項1乃至請求項6のいずれかの一項に記載のアービタ・システム。

【請求項8】 前記アービタは、前記ソース・キューに対してデキュー制御信号を、前記宛先キューに対してエンキュー制御信号を供給する請求項7記載のアービタ・システム。

【請求項9】 各々のソース・レジスタが前記マルチブレクサ入力の関連の1つに結合され、ソース信号をその関連するマルチブレクサ入力に供給する、複数のソース・レジスタと、

前記マルチブレクサの出力からの出力信号を受け取るために結合されている宛先レジスタとを更に備える請求項1乃至請求項8のいずれかの一項に記載のアービタ・システム。

【請求項10】 前記アービタは、前記ソース・レジスタに対してクロック制御信号を、前記宛先レジスタに対してクロック制御信号を供給する請求項9記載のアービタ・システム。

【請求項11】 複数のソース信号を受け取るために結合されているn個の入力を有し、且つ出力信号を供給するマルチブレクサと、

前記ソース信号の1つを選択するために選択信号を介して前記マルチブレクサを制御するよう促す複数のn個の

要求信号値を受け取るために結合されているアービタとを備え、

前記アービタ及び前記マルチブレクサは、前記アービタを通じて前記n個の要求信号の1つを処理するために且つ前記マルチブレクサを通じて対応するソース信号をステアするために必要とされるシステム転送時間が前記n個の要求信号値の各々に対してほぼ等しいように整合された時間特性を有するアービタ・システム。

【請求項12】 前記マルチブレクサは、各々が前記マルチブレクサのn個の入力の関連する1つから前記マルチブレクサの出力に伸長するn個のマルチブレクサ信号バスを含み、

前記n個のマルチブレクサ信号バスの各々の時間特性が等しくない請求項11記載のアービタ・システム。

【請求項13】 前記複数のn個の要求信号値の各々に対応する前記システム転送時間は、前記アービタ・システムの速度が最大化されるように最小化される請求項11又は請求項12に記載のアービタ・システム。

【請求項14】 nは4に等しく、
前記アービタは優先順位エンコーダであり、

前記アービタからの4つの選択出力信号値select_0, select_1, select_2, select_3と前記アービタの4つの要求信号値req_0, req_1, req_2, req_3との関係は、
【数2】

$$\begin{aligned} \text{select_0} &= \text{req_0} \\ \text{select_1} &= !\text{req_0} \& \text{req_1} \\ \text{select_2} &= !\text{req_0} \& !\text{req_1} \& \text{req_2} \\ \text{select_3} &= !\text{req_0} \& !\text{req_1} \& !\text{req_2} \& \text{req_3} \end{aligned}$$

によって定義される請求項11乃至請求項13のいずれかの一項に記載のアービタ・システム。

【請求項15】 前記ソース信号の1つを受け取るために結合されている第1入力と、前記select_0信号を受け取るために結合されている第2入力を有する第1ANDゲートと、

前記ソース信号の1つを受け取るために結合されている第1入力と、前記select_1信号を受け取るために結合されている第2入力を有する第2ANDゲートと、

前記ソース信号の1つを受け取るために結合されている第1入力と、前記select_2信号を受け取るために結合されている第2入力を有する第3ANDゲートと、

前記ソース信号の1つを受け取るために結合されている第1入力と、前記select_3信号を受け取るために結合されている第2入力を有する第4ANDゲートと、

前記第1ANDゲートからの出力信号を受け取るために結合されている第1入力と、前記第2ANDゲートから

の出力信号を受け取るために結合されている第2入力を有する第1ORゲートと、

前記第1ORゲートからの出力信号を受け取るために結合されている第1入力と、前記第3ANDゲートからの出力信号を受け取るために結合されている第2入力を有する第2ORゲートと、

前記第2ORゲートからの出力信号を受け取るために結合されている第1入力と、前記第4ANDゲートからの出力信号を受け取るために結合されている第2入力を有し、且つ前記マルチブレクサの前記出力を供給する第3ORゲートとを備える請求項14記載のアービタ・システム。

【請求項16】 前記複数のソース信号を前記マルチブレクサの前記複数のn個の入力に供給するために結合されている複数のソース・キューと、

前記マルチブレクサからの前記出力信号を受け取るために結合されている宛先キューとを更に備え、

前記アービタは、前記複数のソース・キューに対してデキュー制御信号を供給し、前記宛先キューに対してエンキュー制御信号を供給する請求項11乃至請求項15のいずれかの一項に記載のアービタ・システム。

【請求項17】 前記複数のソース信号を前記マルチブレクサの前記複数のn個の入力に供給するために結合されている複数のソース・レジスタと、

前記マルチブレクサからの前記出力信号を受け取るために結合されている宛先レジスタとを更に備え、

前記アービタは、前記ソース・レジスタ及び前記宛先レジスタに対してクロック制御信号を供給する請求項11乃至請求項16のいずれか一項に記載のアービタ・システム。

【請求項18】 宛先信号バスに対して複数のソース信号を早くアービトレーション及び転送するための方法であって、

複数のソース信号を受け取るためマルチブレクサの複数のn個のマルチブレクサ入力を結合するステップであって、前記マルチブレクサは各々が前記複数のn個のマルチブレクサ入力の1つから前記マルチブレクサの出力に伸長する複数のマルチブレクサ信号バスを含む、前記複数のn個のマルチブレクサ入力を結合するステップと、

40 前記n個のマルチブレクサ入力の1つを選択するため各々が当該アービタに前記マルチブレクサを制御するよう促す複数のn個の要求信号値を選択信号を介して受け取るためにアービタを結合するステップであって、前記アービタは前記要求信号値の各1つを前記アービタを介して処理するため別々の要求信号転送時間を必要とし且つ対応する選択信号値を供給する、前記アービタを結合するステップと、

前記要求信号値の1つを前記アービタを介して処理し且つ前記ソース信号の1つを前記対応するマルチブレクサ入力から前記マルチブレクサ出力に通すため必要とされ

るシステム転送時間が前記マルチブレクサ入力の各々に対してもほぼ等しいよう、前記マルチブレクサ信号バスの前記時間特性と前記要求信号転送時間とを整合させるステップとを備える方法。

【請求項19】 アービトレイション及び転送のための方法の速度が最大化されるように前記各マルチブレクサの各々に対応する前記システム転送時間を最小化するステップを更に備える請求項18記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子工学システムにおける信号の交換及びルーティングに関する。より詳細には、本発明は、同期ディジタル論理回路及びシステムにおいて信号を転送するための高速アービタ及びマルチブレクサの組合せに関する。

【0002】

【従来の技術】 非常に多くの電子工学システムが、同一システム内の構成要素間及び異なるシステムの構成要素間において信号をルーティングするための信号転送装置を備えている。例えば、一般的なコンピュータシステムは、中央処理装置(CPU)、入力/出力処理装置、メインメモリ、入力/出力装置、及び周辺装置を含む種々の構成要素を備えている。これら構成要素は、バスあるいはスイッチといった信号転送装置によって相互結合され得る。信号転送装置及びシステムの他の特に一般的な使用方法は、ネットワーク・ルーティング環境においてである。

【0003】 信号転送装置は、システム上における信号転送時間を計測することにより識別され得る。同期信号転送システムでは、情報は、ソース装置及び宛先装置の双方に対して予め知られているタイム・スロットの間に転送される。同期通信は、情報の転送に用いられるタイム・スロットがシステム内の最も遅い装置によって主に決定されるという短所を有している。従って、より早い装置は、自身の最大速度で通信することができない。

【0004】 図1には、従来技術の一般的な信号バス・アービタ・システム100が図示されている。アービタ・システム100は、4つのソース信号バス102、104、106、108及び110は、单一の宛先信号バス110に対して同期して一時に1つ結合するために用いられる。各信号バス102、104、106、108及び110は、ディジタルデータ及び制御信号を伝送し得る。ディジタル信号の伝播に関しては、各信号バス102、104、106、108及び110は、キュー、レジスタ、または、先入れ先出し(FIFO)信号バスであり得る。アービタ・システム100は、従来技術の時間平衡マルチブレクサ112及びアービタ114を有している。マルチブレクサ112は、4つのマルチブレクサ入力116、118、120及び122を有している。4つのマルチブレクサ入力116、118、120及び1

22の各々は、ソース信号バス102、104、106及び108の1つからソース信号を受け取るために結合されている。

【0005】 第1マルチブレクサ入力116は、第1ソース信号バス102からソース信号A0を受け取るために結合されている。第2マルチブレクサ入力118は、第2ソース信号バス104からソース信号A1を受け取るために結合されている。第3マルチブレクサ入力120は、第3ソース信号バス106からソース信号A2を受け取るために結合されている。第4マルチブレクサ入力122は、第4ソース信号バス108からソース信号A3を受け取るために結合されている。マルチブレクサ112はまた、マルチブレクサ出力124を有している。宛先信号バス110は、マルチブレクサ出力124から出力信号Yを受け取るために結合されている。マルチブレクサ112は、アービタ114から受け取られるマルチブレクサ選択信号により制御される。マルチブレクサ112は、選択バス126を介して選択信号を受け取るために結合されているマルチブレクサ選択入力125を有している。選択バス126は、アービタ114の選択出力127からの選択信号を受け取るために結合されている。一般的に、アービタ114は、ソース信号バス102、104、106及び108に対してデキュー制御バス140を介してデキュー制御信号を供給する。アービタ114はまた、一般的に、宛先信号バス110に対してエンキュー制御バス138を介してエンキュー制御信号を供給する。

【0006】 アービタ114は、マルチブレクサ112を制御してソース信号をソース信号バス102、104、106及び108の内の1つから宛先信号バス110に通すようにアービタ114を促す要求信号を受け取る。アービタ114は、4つの要求入力130、132、134及び136を有する。第1要求入力130は、マルチブレクサ112を制御してソース信号A0を第1ソース信号バス102から宛先信号バス110に通すようアービタ114を促す第1要求信号req_0を受け取るために結合されている。第2要求入力132は、マルチブレクサ112を制御してソース信号A1を第2ソース信号バス104から宛先信号バス110に通すようアービタ114を促す第2要求信号req_1を受け取るために結合されている。第3要求入力134は、マルチブレクサ112を制御してソース信号A2を第3ソース信号バス106から宛先信号バス110に通すようアービタ114を促す第3要求信号req_2を受け取るために結合されている。第4要求入力136は、マルチブレクサ112を制御してソース信号A3を第4ソース信号バス108から宛先信号バス110に通すようアービタ114を促す第4要求信号req_3を受け取るために結合されている。4つの要求信号のうちのどれがアクティブであるかに応じて、アービタ114は、適切な選択

信号値をマルチブレクサ112にマルチブレクサ選択バス126を介して供給し、該アクティブな要求信号値に対応するマルチブレクサ入力を選択する。

【0007】アービタ・システム100は、同期アービタ・システムであり、定常状態でクロックサイクル当たり1つの要求をディスパッチ（*dispatch*）することが要求され得る。要求信号バスは、アービタ114を通じて各要求入力130, 132, 134及び136からアービタ114の選択出力127に延伸している。一般的に、アービタ114は、4入力及び2出力を有するエンコーダに結合された4入力及び4出力を有する優先順位エンコーダとして実行される。優先順位エンコーダは、2つ以上の要求入力信号が同時にアクティブな場合、出力選択信号値が最高優先順位を有する要求入力信号に確実に対応するために必要な論理を有している。一般的に、要求信号バスは、論理ゲート数と、バスを通過する信号伝播遅れとに関連して変化する。従って、要求信号バスのタイミング特性は不平衡である。一般的に、最小伝播遅れを有する要求信号バスは最高優先順位要求信号バスであり、最大伝播遅れを有する要求信号バスは最低優先順位要求信号バスである。

【0008】通常、ソース信号バス102, 104, 106及び108の内の1つから宛先信号バス110に対する信号転送は、1クロックサイクル内に実行される。4つの要求信号の各々について、アービタ114上で要求信号を処理し、且つ対応する選択されたソース信号をマルチブレクサ112を通じて宛先信号バス110へステア（*steer*）するために必要な時間であるアービタ・システム転送時間が存在する。信号バス・アービタ・システム100は同期式であるので、アービタ・システム100内で信号転送が実行され得る最大クロック周波数は、通常、最大要求信号転送時間を有する要求信号値（即ち、最低速要求信号値）に対応するシステム転送時間によって決定される。従って、最大クロック周波数の期間は、最低速要求信号値に対応するシステム転送時間と少なくとも同じ長さでなければならない。

【0009】図2には、従来技術の一般的な時間平衡マルチブレクサ112の論理回路ブロック図が図示されている。マルチブレクサ112は、4つの3入力ANDゲート142, 144, 146及び148、4入力ORゲート150、及び2つのNOTゲート156及び158を有している。4つのANDゲート142, 144, 146及び148は各々、図1にも図示するようにソース信号A0, A1, A2及びA3をそれぞれ受け取る4つのマルチブレクサ入力116, 118, 120及び122の内の1つを有している。2つのNOTゲート156及び158は、それぞれ、4つの可能性ある選択信号値を実現するために論理ハイ値及び論理ロー値の間で変化する選択出力信号select_1及びselect_0を受け取る。4つのANDゲート142, 144, 146及び148は更にそれぞれ、NOTゲート156及び158からの信号を受け取る一対の選択入力を有している。選択入力152及び154は、図1の2回線選択バス126に結合されている図1のマルチブレクサ選択入力125を備えている。4入力ORゲート150は、各ANDゲート142, 144, 146及び148から入力信号を受け取る。マルチブレクサ112のマルチブレクサ入力116, 118, 120及び122の各々、及びマルチブレクサ出力124は、1回線より多い信号線であり得る。マルチブレクサ出力124への所望のマルチブレクサ入力信号のルーティングは、選択入力線152, 154により制御されている。マルチブレクサ112は、各マルチブレクサ入力116, 118, 120及び122からマルチブレクサ出力124に延伸する4つのマルチブレクサ信号バスを有している。各マルチブレクサ信号バスは、3入力ANDゲート142, 144, 146及び148の1つ、及び4入力ORゲート150を有している。各マルチブレクサ信号バスは同一数並びに同一型の論理ゲートを有しているので、各マルチブレクサ信号バスの伝播遅れはほぼ等しい。各マルチブレクサ信号バスの伝播遅れがほぼ等しいので、マルチブレクサ112は平衡した時間特性を有する。

【0010】

【発明が解決しようとする課題】しかしながら、図1に戻ると、アービタ114上で各要求信号値を処理し、且つ対応するソース信号をマルチブレクサ112を通じてステアするために必要な時間が各要求信号値について変化し得るので、信号バス・アービタ・システム100は平衡した時間特性を持ち合わせていない。既述のように、アービタ・システム100の最大クロック周波数の期間は、アービタ114上で最低速要求信号を処理し、且つ対応する選択ソース信号を選択されたソース信号バスからマルチブレクサ112を通じて宛先信号バス110にステアするために必要な時間と少なくとも同じ長さでなければならない。

【0011】同期式システムでは、アービタ・システムの最大周波数は、アービタ・システムを採用するシステムの処理速度を制限し得る。従って、たとえアービタ・システムのより早い要求信号バスの信号転送時間を増大するという犠牲においても、アービタ・システムの最低速要求信号バスの全信号転送時間を最小化することが望ましい。本発明の課題は、上記問題点を解決することにある。

【0012】

【課題を解決するための手段】上記の観点から見て、アービタと不平衡なマルチブレクサとを含み、該アービタの時間特性に対応する時間特性を有する一層早いアービタ・システムが記載される。

【0013】本発明は、高速信号バス・アービトレーション及び、複数のn個のソース信号バスから宛先信号バ

スへの複数のソース信号の転送のための方法及び装置を提供する。アービタ・システムは、アービタ及びマルチブレクサを含む。マルチブレクサは、各々が複数のソース信号バスの1つからソース信号を受け取るために結合されている複数のn個の入力と、出力信号を宛先信号バスに供給するために結合されている出力とを備えている。マルチブレクサは、アービタから受け取られる複数のn個の選択信号値によって制御される。アービタは、マルチブレクサを制御してソース信号の1つを宛先信号バスに通すようアービタを促す複数の要求信号値を受け取るために結合される。

【0014】マルチブレクサは、各々がn個のマルチブレクサ入力の1つからマルチブレクサ出力に伸長されている複数のn個のマルチブレクサ信号バスを有する。本発明の1実施形態では、n個のマルチブレクサ信号バスの各時間特性は等しくない。要求信号転送時間は、n個の要求信号値の各々に対応する選択信号値を提供するためにアービタによって必要とされる時間である。本発明においては、マルチブレクサ信号バス及び要求信号転送時間の時間特性は、アービタ上で要求信号値の1つを処理し且つソース信号を対応するマルチブレクサ入力からマルチブレクサ出力に通すために必要とされるアービタ・システム転送時間がマルチブレクサに対する各入力についてほぼ等しいように整合される。同期式システムにおいて本発明の信号バス・アービタ・システムが用いられる場合には、各要求信号値に対応するシステム転送時間はアービタ・システムの速度が最大化されるように最小化される。

【0015】本発明の1実施形態では、nは4に等しく、アービタは、各々が4つの要求信号値の1つによって活性化される4つの選択信号値を提供する不平衡な優先順位エンコーダである。アービタ要求信号バスは、4つの要求入力の各々から複数の選択出力に伸長している。4つの要求信号バスは、タイミング特性と関連して変化する。不平衡アービタのタイミング特性に一致するタイミング特性を有する不平衡な4入力マルチブレクサもまた備えられる。不平衡4入力マルチブレクサは、4個のANDゲート及び3個のORゲートを有する。第1ANDゲートは、4つのソース信号の1つを受け取るために結合されている第1入力と、アービタから第1選択信号値を受け取るために結合されている第2入力とを有する。第2ANDゲートは、4つのソース信号の1つを受け取るために結合されている第1入力と、アービタから第2選択信号値を受け取るために結合されている第2入力とを有する。第3ANDゲートは、4つのソース信号の1つを受け取るために結合されている第1入力と、アービタから第3選択信号値を受け取るために結合されている第2入力とを有する。第4ANDゲートは、4つのソース信号の1つを受け取るために結合されている第1入力と、アービタから第4選択信号値を受け取る

ために結合されている第2入力とを有する。第1ORゲートは、第1ANDゲートから出力信号を受け取るために結合されている第1入力と、第2ANDゲートから出力信号を受け取るために結合されている第2入力とを有する。第2ORゲートは、第1ORゲートから出力信号を受け取るために結合されている第1入力と、第3ANDゲートから出力信号を受け取るために結合されている第2入力とを有する。第3ORゲートは、第2ORゲートから出力信号を受け取るために結合されている第1入力と、第4ANDゲートから出力信号を受け取るために結合されている第2入力とを有する。第3ORゲートはマルチブレクサ出力を提供する。

【0016】

【発明の実施の形態】以下、本発明の理解を容易にするために、時間平衡マルチブレクサ/アービタ組合せ、並びにいくつかの詳細な発明の実施の形態について図面を参照して説明する。しかしながら、本発明がこれら詳細事項を備えることなく、あるいは代替要素又はプロセスを用いることにより実行され得ることは当業者にとって明らかである。本発明の局面の理解を妨げることがないように、周知のプロセス、手順、構成要素、及び回路の詳細については説明しない。

【0017】本発明は、高速信号バス・アービトレーション及び、複数のn個のソース信号バスから宛先信号バスへの複数のソース信号の転送のための方法及び装置を提供する。アービタ・システムは、複数のn個のソース信号バスを宛先信号バスに同期結合するためにアービタとマルチブレクサとの組合せを含む。マルチブレクサは、各々が複数のn個のソース信号バスの1つからソース信号を受け取るために結合されている複数のn個の入力、及び出力信号を宛先信号バスに供給するために結合されている出力を備えている。マルチブレクサは、アービタから受け取られる複数のn個の選択信号値によって制御される。アービタは、マルチブレクサを制御してソース信号の1つを宛先信号バスに通すようアービタを促す複数のn個の要求信号値の1つを受け取るためにそれぞれ結合されている複数のn個の要求入力を有している。アービタ及びマルチブレクサは、システム転送時間、即ち、アービタ上で要求信号値を処理し且つ対応する選択されたソース信号をマルチブレクサを通じて宛先信号バスにステア(steer)するために必要とされる時間が、要求信号値及び対応する選択されたソース信号の各々について概ね等しいように、整合された時間特性を有する。同期式アービタ・システムでは、最大システム転送時間はアービタ・システムの最大周波数を制限する。本発明のアービタ・システムでは、各要求信号値に対応するシステム転送時間はアービタ・システムの速度が最大化されるように最小化される。

【0018】本発明は、例示により、限定によるものではなく、添付図面に図示され、該図面において類似の参照

番号は類似の構成要素を示す。

【0019】図3には、本発明の実施形態の1つに従う信号バス・アービタ・システム300が図示されている。アービタ・システム300は、複数($n=4$)のソース信号バス302、304、306及び308を同期的に且つ一時に1つ単一の宛先信号バス310に結合するために用いられる。各信号バス302、304、306、308及び310は、アナログ又はディジタルのデータ及び制御信号を伝送し得る。信号バス302、304、306、308及び310についてのソースは、任意の適切な信号ソースであってよく、例えば、信号バス302、304、306、308及び310はキュー、レジスタ、又は先入れ先出し(FIFO)信号バスたり得る。アービタ・システム300は、時間スキューラーされたマルチブレクサ312及びアービタ314を有している。マルチブレクサ312は4個のマルチブレクサ入力316、318、320及び322を備えている。4つのマルチブレクサ入力316、318、320及び322の各々は、ソース信号バス302、304、306及び308の1つからソース信号を受け取るために結合されている。第1マルチブレクサ入力316は、第1信号バス302からソース信号A0を受け取るために結合されている。第2マルチブレクサ入力318は、第2信号バス304からソース信号A1を受け取るために結合されている。第3マルチブレクサ入力320は、第3ソース信号バス306からソース信号A2を受け取るために結合されている。第4マルチブレクサ入力322は、第4ソース信号バス308からソース信号A3を受け取るために結合されている。マルチブレクサ312はまたマルチブレクサ出力324を有している。宛先信号バス310は、マルチブレクサ出力324から出力信号Yを受け取るために結合されている。マルチブレクサ312は、アービタ314から受け取られるマルチブレクサ選択信号により制御される。マルチブレクサ312は、選択バス326を介して選択信号を受け取るために結合されているマルチブレクサ選択入力325を有している。本発明の既述の実施形態では、選択信号値は4ビットを有し、また選択信号バスは4回線を有する。選択バス326は、アービタ314の選択出力327からの選択信号を受け取るために結合されている。本発明の実施形態では、アービタ314は、デキュー制御信号をソース信号バス302、304、306及び308にデキュー制御バス340を介して供給し得る。アービタ314はまた、エンキュー制御信号を宛先信号バス310にエンキュー制御バス338を介して供給し得る。

【0020】アービタ114は、マルチブレクサ312を制御してソース信号バス302、304、306及び308の1つをマルチブレクサ312を介して宛先信号バス310に結合するようアービタ314を促す要求信号値を受け取る。本発明の記載された実施形態では、ア

ービタ314は、4つの要求入力330、332、334及び336を有する。第1要求入力330は、マルチブレクサ312を制御してソース信号A0を第1ソース信号バス302から宛先信号バス310に通すようアービタ314を促す第1要求信号req_0を受け取るため結合されている。第2要求入力332は、マルチブレクサ312を制御してソース信号A1を第2ソース信号バス304から宛先信号バス310に通すようアービタ314を促す第2要求信号req_1を受け取るため結合されている。第3要求入力334は、マルチブレクサ312を制御してソース信号A2を第3ソース信号バス306から宛先信号バス310に通すようアービタ314を促す第3要求信号req_2を受け取るため結合されている。第4要求入力336は、マルチブレクサ312を制御してソース信号A3を第4ソース信号バス308から宛先信号バス310に通すようアービタ314を促す第4要求信号req_3を受け取るため結合されている。4つの要求信号のどれがアクティブであるかに応じて、アービタ314は、アクティブな要求信号により指示されたソース信号バスに対応するマルチブレクサ入力を選択するため、適切な選択信号をマルチブレクサ312にマルチブレクサ選択バス326を介して供給する。

【0021】図4には、アービタ314が優先順位エンコーダ402である本発明の実施形態の1つに従うアービタ314が図示されている。優先順位エンコーダ402は、それぞれ4つの要求信号req_0、req_1、req_2、req_3を受け取るために結合されている図3に示す4つの要求入力330、332、334及び336を有する。優先順位エンコーダ402はまた、図3に示すマルチブレクサ312に選択信号を供給する4つの選択出力406、408、410及び412を有する。第1選択出力406はselect_0信号を供給する。第2選択出力408はselect_1信号を供給する。第3選択出力410はselect_2信号を供給する。第4選択出力412はselect_3信号を供給する。優先順位エンコーダ402の4つの選択出力406、408、410及び412は、図3に示すアービタ314の選択出力327を構成する。4個の選択信号、select_0、select_1、select_2、select_3は、図3に示す4回線選択バス326を通じて送信される。優先順位エンコーダ402は、2つ以上の要求入力信号が現在アクティブな場合に、活性化されている出力選択信号線を最も高い優先順位を有する要求入力信号に確実に一致させるために必要な論理を備えている。

【0022】本発明の実施形態の1つでは、優先順位エンコーダ402からの4つの選択出力信号と、優先順位エンコーダ402に対する4つの要求入力との間の関係は以下のブール関係(1)、(2)、(3)及び(4)

によって定義される。

【0023】

```

select_0 = req_0
select_1 = !req_0 & req_1
select_2 = !req_0 & !req_1 & req_2
select_3
= !req_0 & !req_1 & !req_2 & req_3

```

【0024】上記ブール関係(1), (2), (3), (4)において、感嘆符号「！」はブール反転演算を示し、アンパンド符号「&」はブール「AND」演算を示す。優先順位エンコーダ402からの選択信号値出力の各々は相互に排他的である。即ち、4つの選択信号値の1つだけが一時に活性化され得る。

【0025】引き続き図4を参照すると、アービタ要求信号バスは、アービタ314の各要求入力330, 332, 334及び336から選択出力406, 408, 410及び412にそれぞれ伸長している。各要求信号バスにおける信号伝播遅れは、バスに並ぶ論理ゲート数に比例する。4つの要求信号バスは、各バスに並ぶ論理ゲート数とに関連して変化する。上記ブール関係(1), (2), (3), (4)を参照すると、req_0に対応する要求信号バスは最短期間を有し、この結果、最小数の論理ゲートを用いて実行され得ることが明らかである。req_0に対応する要求信号バスは最小信号伝播遅れを有する。req_3に対応する要求信号バスは最長期間を有し、この結果最大数の論理ゲートを用いて実行されるはずである。req_3に対応する要求信号バスは最大信号伝播遅れを有する。req_1に対応する要求信号バスは2番目に小さい信号伝播遅れを有し、req_2に対応する要求信号バスは3番目に小さい信号伝播遅れを有する。従って、4つのアービタ信号要求信号バスのタイミング特性は不平衡にされる。本発明の実施形態の1つでは、最短伝播遅れを有する要求信号バスは最も高い優先順位の信号バスであり、最長伝播遅れを有する要求信号バスは最も低い優先順位の信号バスである。

【0026】図3を再び参照すると、アービタ300は、同期式アービタ・システムであり、クロックサイクル当たり1つの信号転送要求をデスパッチすることを要求され得る。通常、ソース信号バス302, 304, 306及び308の1つから宛先信号バス310への信号転送は、1信号クロックサイクル内に実行される。4つの要求信号値の各々について、アービタ314上で要求信号を処理し、且つ対応する選択されたソース信号をマルチブレクサ312を通じて宛先信号バス310にステアするために必要な時間であるアービタ・システム転送時間が存在する。アービタ・システム300内で信号転送が実行され得る最大クロック周波数は、最大システム転送時間（即ち、最低速要求信号値のシステム転送時間）によって決定される。アービタ・システム300の

* 【数3】

*

(1)
(2)
(3)
(4)

最大クロック周波数の期間は、アービタ314上で最低速要求信号を処理し、且つ対応するソース信号を選択された信号バスからマルチブレクサ312を通じて宛先信号バス310にステアするために必要な時間と少なくとも同じ長さでなければならない。

【0027】時間平衡アービタ・システムでは、各要求信号値に対応するシステム転送時間は、概ね等しい。本発明のアービタ・システム300では、アービタ314及びマルチブレクサ312は、整合された時間特性を有する。即ち、不平衡アービタ314の各要求信号バスの時間特性、及びマルチブレクサ312の各マルチブレクサ信号バスの時間特性は、各要求信号値及び対応する選択されたソース信号についてのシステム転送時間がほぼ等しいように整合されている。また、本発明のアービタ・システム300では、要求されたソース信号値の各々に対応するシステム転送時間は、アービタ・システム300の速度が最大化されるように最小化される。

【0028】図5には、時間スキューされたマルチブレクサ312の1実施形態の論理回路ブロック図が図示されている。マルチブレクサ312は、4つの2入力ANDゲート510, 520, 530及び540、及び3つの2入力ORゲート550, 560及び570を有している。4つのANDゲート510, 520, 530, 540の各々は、図3にも図示するようにソース信号A0, A1, A2及びA3をそれぞれ受け取る4つのマルチブレクサ入力316, 318, 320及び322の内の1つを有している。4つのANDゲート510, 520, 530及び540の各々は更に、図4に示す優先順位エンコーダ402から選択信号の1つを受け取る選択入力を有する。第1ANDゲート510は、select_0信号を受け取る選択入力512を有する。第2ANDゲート520は、select_1信号を受け取る選択入力522を有する。第3ANDゲート530は、select_2信号を受け取る選択入力532を有する。第4ANDゲート540は、select_3信号を受け取る選択入力542を有する。図3に戻ると、図5に示す4つの選択入力512, 522, 532及び542は、図3の4回線選択バス326に結合されている図3のマルチブレクサ選択入力325を構成する。

【0029】引き続き図5を参照すると、第1ORゲート550は、第1ANDゲート510から出力信号を受け取るために結合されている第1入力552を有する。第1ORゲート550はまた、第2ANDゲート520

50

から出力信号を受け取るために結合されている第2入力554を有する。第2ORゲート560は、第1ORゲート550から出力信号を受け取るために結合されている第1入力562を有する。第2ORゲート560はまた、第3ANDゲート530からの出力信号を受け取るために結合されている第2入力564を有する。第3ORゲート570は、第2ORゲート550から出力信号を受け取るために結合されている第1入力572を有する。第3ORゲート570はまた、第4ANDゲート540から出力信号を受け取るために結合されている第2入力574を有する。第3ORゲート570は更に、図3にも図示されているマルチブレクサ出力324を有する。

【0030】更に図5を参照すると、時間スキーされたマルチブレクサ312は、ソース信号A0, A1, A2及びA3を受け取り、且つマルチブレクサ出力324上に通すためにソース信号の1つを一時に選択する。マルチブレクサ312の各マルチブレクサ入力316, 318, 320及び322及びマルチブレクサ出力324は、2信号回線以上であり得る。所望のマルチブレクサ入力のマルチブレクサ出力へのルーティングは、図3に示すアビタ314から選択信号を受け取り得る4本の選択入力線512, 522, 532及び542によって制御されている。

【0031】第1マルチブレクサ入力316からマルチブレクサ出力324に伸長している第1マルチブレクサ信号バスは、ANDゲート510及び3個のORゲート550, 560及び570を有する。第2マルチブレクサ入力318からマルチブレクサ出力324に伸長している第2マルチブレクサ信号バスは、ANDゲート520及び3個のORゲート550, 560及び570を有する。第3マルチブレクサ入力320からマルチブレクサ出力324に伸長している第3マルチブレクサ信号バスは、ANDゲート530及び2個のORゲート560, 570を有する。第4マルチブレクサ入力322からマルチブレクサ出力324に伸長している第4マルチブレクサ信号バスは、ANDゲート540及びORゲート570を有する。各マルチブレクサ信号バスは同一数並びに同一形式の論理ゲートを有していないので、各マルチブレクサ信号バスにおける伝播遅れは等しくない。各マルチブレクサ信号バスにおける伝播遅れがほぼ等しくないので、マルチブレクサ312は不平衡にされた又はスキーされた時間特性を有すると呼ばれる。

【0032】本発明のアビタ・システム300では、不平衡アビタ314及び時間スキーされたマルチブレクサ312は、本発明のアビタ・システム300が時間平衡となるように整合された時間特性を有する。即ち、本発明のアビタ・システム300では、各要求信号値に対応するシステム転送時間は、ほぼ等しい。また、本発明のアビタ・システム300では、各要求信

号値に対応するシステム転送時間は、アビタ・システム300の速度が最大化されるように最小化される。

【0033】本発明の記載された実施形態では、アビタ・システム300は、4つの要求信号値の各々に対応するシステム転送時間が概ね等しいよう不平衡アビタ314の4つの要求信号バスの各々の時間特性を整合するため、n=4の入力、及びn=4のマルチブレクサバスを有する時間スキーされたマルチブレクサ312を有する。しかしながら、本発明では、複数のn個の要求信号値の各々に対応するシステム転送時間が概ね等しいよう時間不平衡アビタの時間特性を整合するため、任意のn個の入力を有する時間スキーされたマルチブレクサ312が用いられ得ることは理解されるべきである。

【0034】以上、いくつかの発明の実施形態に基づき本発明を説明したが、これら発明の実施形態は、本発明の原理及びその応用を説明するために選択され記述されたものであり、これら記述に基づき当業者は、意図される特定の用いられ方に適當な種々の改良と共に本発明並びにこれら発明の実施の形態を最適に利用することができる。従って、本発明はこれら発明の実施の形態に限定されることなく、本発明の趣旨を逸脱することなく改良・変更され得ることは理解されるべきである。

【0035】

【発明の効果】以上説明したように、本発明によればアビタ・システムにおける最低速要求信号バスの全信号転送時間を最小化することができる。

【図面の簡単な説明】

【図1】アビタ及び時間平衡マルチブレクサを含む従来技術の信号バス・アビタ・システムの回路ブロック図である。

【図2】従来技術の時間平衡マルチブレクサの論理回路図である。

【図3】本発明に従った不平衡アビタ及び時間スキーされたマルチブレクサを有する時間平衡信号バス・アビタ・システムの回路ブロック図である。

【図4】本発明に従ったアビタ・システムの実施形態に用いられる優先順位エンコーダを備えるアビタの回路ブロック図である。

【図5】時間平衡信号バス・アビタ・システムに用いるための本発明に従う時間スキーされたマルチブレクサの論理回路図である。

【符号の説明】

100, 300…アビタ・システム

102, 104, 106, 108, 302, 304, 306, 308…ソース信号バス

110, 310…宛先信号バス

112…時間平衡マルチブレクサ

114, 314…アビタ

312…時間スキーされたマルチブレクサ

17

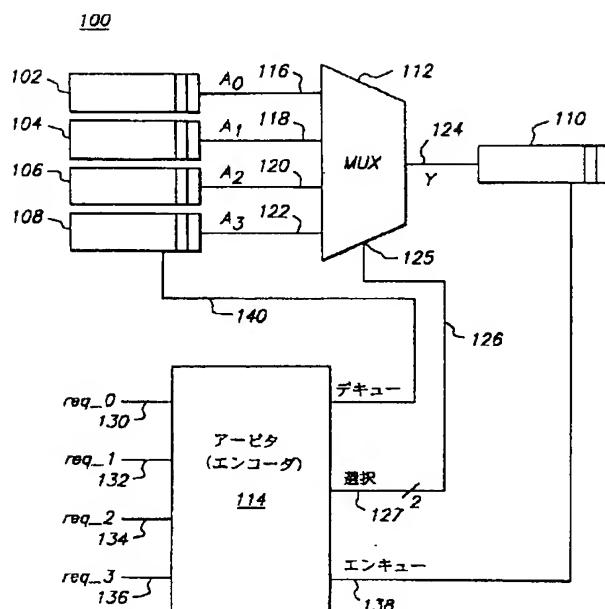
338…エンキュー制御バス
340…デキュー制御バス
402…優先順位エンコーダ

18

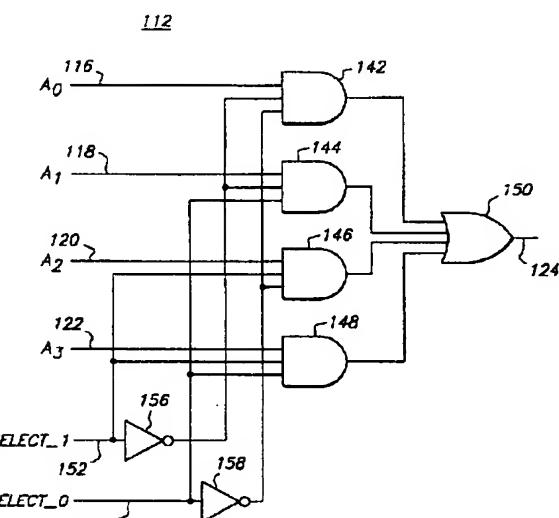
* 510, 520, 530, 540…ANDゲート
550, 560, 570…ORゲート

*

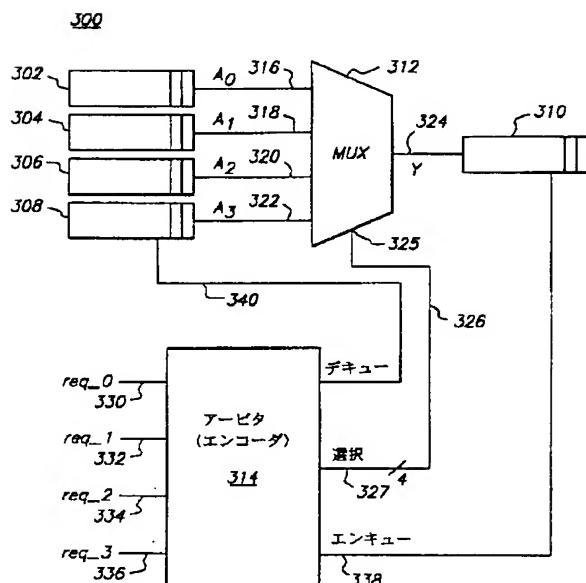
【図1】



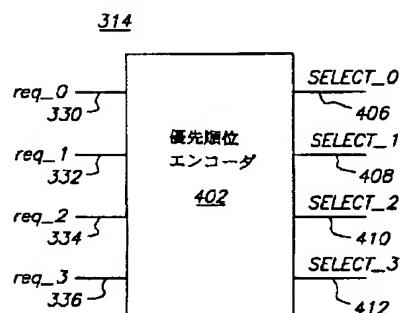
【図2】



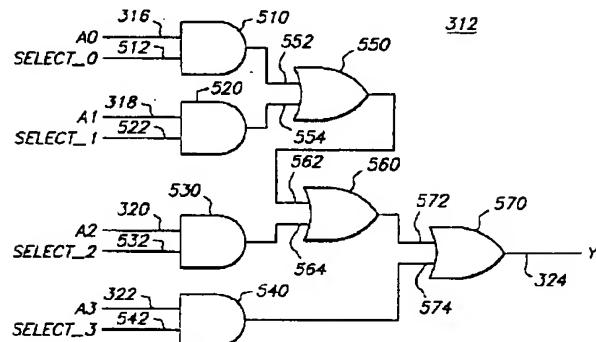
【図3】



【図4】



【図5】



フロントページの続き

(71)出願人 597004720

2550 Garcia Avenue, MS
PAL 1-521, Mountain View,
California 94043-
1100, United States of
America

(72)発明者 ティン-チャック・チャン

アメリカ合衆国カリフォルニア州94086,
サンベイル, ビズモ・テラス 377